

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009997897 **Image available**

WPI Acc No: 1994-265608/199433

XRAM Acc No: C94-121449

XRFX Acc No: N94-209042

Crystalline semiconductor film mfr. for thin film transistor - by
catalysed low temp. formation from amorphous silicon@

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR
ENERGY LAB CO LTD (SEME)

Inventor: TAKEMURA Y; YAMAZAKI S; ZHANG H; TAKAYAMA T; UOCHI H

Number of Countries: 009 Number of Patents: 017

Patent Family: /

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 612102	A2	19940824	EP 94301075	A	19940215	199433 B
JP 6244103	A	19940902	JP 9348531	A	19930215	199440
JP 6244105	A	19940902	JP 9348535	A	19930215	199440
JP 6296020	A	19941021	JP 9440522	A	19940215	199502
EP 612102	A3	19941019				199534
US 5608232	A	19970304	US 94196856	A	19940215	199715
			US 95462770	A	19950605	
CN 1098554	A	19950208	CN 94103241	A	19940215	199721
US 5639698	A	19970617	US 94196856	A	19940215	199730
US 5897347	A	19990427	US 94196856	A	19940215	199924
			US 96718895	A	19960924	
US 5956579	A	19990921	US 94196856	A	19940215	199945
			US 96718895	A	19960924	
			US 97893361	A	19970715	
TW 371784	A	19991011	TW 94101369	A	19940218	200036
US 6084247	A	20000704	US 94196856	A	19940215	200036
			US 95462770	A	19950605	
			US 96769114	A	19961218	
KR 171923	B1	19990201	KR 942798	A	19940215	200039
JP 2000306837	A	20001102	JP 9348531	A	19930215	200061
			JP 2000108179	A	19930215	
KR 180503	B1	19990401	KR 942798	A	19940215	200113
			KR 987675	A	19980309	
JP 2001053292	A	20010223	JP 9440522	A	19940215	200115
			JP 2000213731	A	19940215	
EP 612102	B1	20010926	EP 94301075	A	19940215	200157
			EP 2001200990	A	19940215	

Priority Applications (No Type Date): JP 9348535 A 19930215; JP 9348531 A
19930215; JP 9348533 A 19930215; JP 2000108179 A 19930215

Cited Patents: No-SR.Pub; 4.Jnl.Ref; JP 4062976; US 5147826; WO 9201089

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 612102 A2 E 45 H01L-021/20

Designated States (Regional): DE FR GB NL

JP 6244103 A 5 H01L-021/20

JP 6244105	A	7 H01L-021/20	
JP 6296020	A	13 H01L-029/784	
US 5608232	A	H01L-029/76	Div ex application US 94196856
CN 1098554	A	H01L-021/00	
US 5639698	A	39 H01L-021/20	
US 5897347	A	H01L-021/00	Div ex application US 94196856 Div ex patent US 5639698
US 5956579	A	H01L-021/00	Div ex application US 94196856 Div ex application US 96718895 Div ex patent US 5639698 Div ex patent US 5897347
TW 371784	A	H01L-021/335	
US 6084247	A	H01L-029/76	Div ex application US 94196856 Div ex application US 95462770 Div ex patent US 5608232 Div ex patent US 5639698
KR 171923	B1	H01L-029/784	
JP 2000306837	A	7 H01L-021/20	Div ex application JP 9348531
KR 180503	B1	H01L-029/784	Div ex application KR 942798
JP 2001053292	A	13 H01L-029/786	Div ex application JP 9440522
EP 612102	B1 E	H01L-021/20	Related to application EP 2001200990 Related to patent EP 1119053

Designated States (Regional): DE FR GB NL

Abstract (Basic): EP 612102 A

Fabricating a semiconductor comprises preparing on a surface, a semiconductor film contg. or in contact with a catalytic material at least partly crystallising the semiconductor film.

A laser beam or a light equivalent to a laser beam is pref irradiated to the Si film after the reaction; the removing step is pref. performed using HCl acid or HF acid.

USE/ADVANTAGE - Used as thin film insulator gate type FETs (TFTs).

Low temps. and short time periods for the crystallisation of amorphous Si results. Conventional equipment, appts. and techniques are used highly suited to mass prodn..

Dwg. 1A/26

Title Terms: CRYSTAL; SEMICONDUCTOR; FILM; MANUFACTURE; THIN; FILM; TRANSISTOR; CATALYST; LOW; TEMPERATURE; FORMATION; AMORPHOUS; SILICON

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/335; H01L-029/76; H01L-029/786

International Patent Class (Additional): H01L-021/205; H01L-021/268; H01L-021/322; H01L-021/324; H01L-021/336; H01L-021/84; H01L-029/04; H01L-029/784; H01L-031/036; H01L-031/112

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04572203 **Image available**

MANUFACTURE OF SEMICONDUCTOR

PUB. NO.: 06-244103 [JP 6244103 A]

PUBLISHED: September 02, 1994 (19940902)

INVENTOR(s): YAMAZAKI SHUNPEI

CHIYOU KOUYUU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-048531 [JP 9348531]

FILED: February 15, 1993 (19930215)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1636, Vol. 18, No. 626, Pg. 93,
November 29, 1994 (19941129)

ABSTRACT

PURPOSE: To provide a crystalline silicon film by a method wherein after clusters or the like are formed on a silicon film in the amorphous state, and reacted with amorphous silicon, catalyst material which has not yet reacted is eliminated, and annealing is performed at a temperature lower than the crystallization temperature of ordinary amorphous silicon.

CONSTITUTION: A substratum silicon oxide film 12 of 2000 angstroms in thickness is formed by a plasma CVD method. An amorphous silicon film 13 is deposited to be 1500 angstroms thick by a plasma CVD method, and a nickel film 14 is deposited by a sputtering method. After that, the nickel film is made to react with the amorphous silicon film 13, and a thin crystalline silicon layer 15 is formed on the interface. Then annealing is performed for 8 hours in a nitrogen atmosphere at 450-580 deg.C in an annealing furnace. By the above process, the amorphous silicon film is crystallized, and a crystalline silicon film 16 can be obtained.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-244103

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁸

H01L 21/20

21/324

// H01L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

8122-4M

Z 8617-4M

9058-4M

H01L 29/78

311 Y

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21)出願番号 特願平5-48531

(22)出願日 平成5年(1993)2月15日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

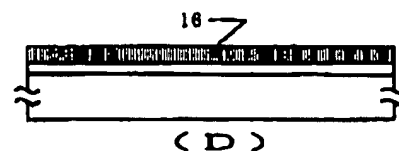
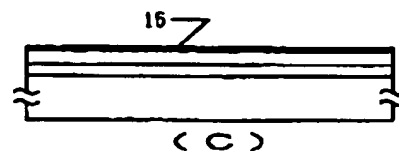
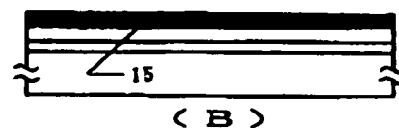
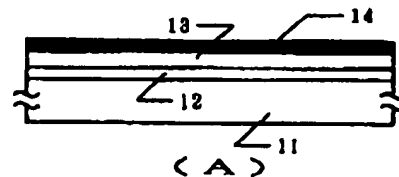
最終頁に続く

(54)【発明の名称】 半導体の製造方法

(57)【要約】

【目的】 実質的にアモルファス状態のシリコン膜をアモルファスシリコンの結晶化温度以下のアニールによって結晶化させる方法を提供する。

【構成】 アモルファスシリコン膜上にニッケル、鉄、コバルト、白金の単体もしくはその珪化物等の触媒材料の被膜、粒子、クラスター等を形成し、これとアモルファスシリコンとの反応によって生じる物質のうち、前記触媒材料を含むものを除去し、残った結晶シリコンを核として結晶化を進展させ、結晶シリコン膜を得る。



【請求項１】 基板上に実質的にアモルファス状態のシリコン膜を形成する第１の工程と、前記シリコン膜上にニッケル、鉄、コバルト、白金のうち少なくとも１つを含有する触媒材料を形成する第２の工程と、前記アモルファスシリコンの表面と触媒材料を反応させる第３の工程と、前記工程後、触媒材料を除去する第４の工程と、前記工程後、基板をアモルファスシリコンの結晶化温度よりも低い温度でアニールする第５の工程と、を有することを特徴とする半導体の製造方法。

10

【請求項４】 請求項２において、第４の工程は、塩酸もしくはフッ酸を用いておこなわれることを特徴とする半導体の製造方法。

20

【産業上の利用分野】本発明は、薄膜状の絶縁ゲイト型電界効果トランジスタ（薄膜トランジスタもしくはTFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

【従来の技術】従来、薄膜状の絶縁ゲイト型電界効果トランジスタ（ＴＦＴ）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、絶縁基板等の絶縁表面上にプラズマＣＶＤ法や熱ＣＶＤ法で形成されたアモルファスシリコン膜を電気炉等の装置の中で６００℃以上の温度で１２時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電解効果移動度や高い信頼性）を得るためにはより長時間の熱処理が求められていた。

30

【発明が解決しようとする課題】しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとする、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかった。しかしながら、例えば、通常使用される管状炉では、1度に処理できる基板の枚数は50枚がせいぜいで、1つの装置（反応管）だけを使用した場合には1枚当たり30分も時間がかかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかった。このことは投資規模が

【0004】もう1つの問題は、熱処理の温度であった。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指数関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

【0005】一方、無アルカリガラスは、石英に比べればコストは十分に低いが、耐熱性の点で問題があり、一般に歪み点が550～650℃程度、特に入手しやすい材料では600℃以下であるので、600℃の熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

【課題を解決するための手段】本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜上にニッケル、鉄、コバルト、白金のうち少なくとも1つを含有する膜や粒子、クラスター等（以下、触媒材料という）を形成し、これを最初にアモルファスシリコンと反応させたのち、未反応の触媒材料を除去し、次いで通常のアモルファスシリコンの結晶化温度よりも低い温度、好ましくは20～150℃で低い温度、例えば680℃以下の温度でアニールすることによって結晶性シリコン膜を得ることを特徴とする。

【0007】本発明人は、従来の固相結晶化の考えとは全く別、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）がシリコンと結合しやすく、例えば、ニッケルの場合、容易に珪化ニッケル（化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ ）となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元系のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、

アモルファスシリコン+珪化ニッケル

→珪化ニッケル+結晶シリコン

という反応が生じることが明らかになった。この反応のポテンシャル障壁は十分に低く、反応の温度も低い。

【0008】この反応式は、ニッケル原子がアモルファスシリコンを結晶シリコンに造り変えることを示している。実際には、580℃以下で、反応が開始され、450℃でも反応が観測されることが明らかになった。また、この反応によって得られた結晶シリコンは結晶性が良好であった。ただし、ニッケル原子そのものは半導体材料としてのシリコンにとっては好ましくない。そこで、ニッケル原子を除去する工程が必要である。これには、塩酸(HCl)もしくはフッ酸(HF)を用いればよい。これらの酸はニッケルおよび珪化ニッケルは浸食するが、アモルファスシリコン、結晶シリコンは侵さない。

【0009】ニッケル原子を除去しても、上記の反応によって形成された結晶シリコンが残存していれば、これを核として結晶化をおこなえる。前述の通り、上記の反応によって生成されたシリコン結晶はその結晶性が良好であるので、これを核としてアモルファスシリコンの結晶化が促進されることが明らかになった。典型的には、通常のアモルファスシリコンの結晶化温度に比較して20～150℃低い温度で結晶化できることが示された。また、結晶成長に要する時間も従来より短縮された。当然のことであるが、温度が高いほど結晶化の進行する速度が速い。また、鉄、コバルト、白金でも、ニッケルよりも劣るが同様な反応が見られた。

【0010】本発明では、ニッケル、鉄、コバルト、白金単体もしくはその珪化物等を含有する膜、粒子、クラスター等を触媒材料として用いることが好ましい。ただし、上記元素を酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0011】また、本発明では、特に上記触媒材料を選択的に設けることによって、結晶成長の方向を制御することができる。このような手法を用いて得られた結晶シリコンは、従来の固相エピタキシャル成長とは異なり、長距離にわたって結晶性の連続性のよい、単結晶に近い構造を有するものであるので、TFT等の半導体素子に利用するうえでは都合がよい。

【0012】また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果（結晶化速度）が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には0.01原子%以上5原子%以下であった。さらに、良好な結晶性を得るためには、アモルファスシリコン膜中には

炭素、窒素、酸素の濃度は少ないほど良く、 1×10^{19} cm^{-3} 以下であることが望まれる。

[0013]

【実施例】（実施例 1） コーニング 7059 ガラス基板上のニッケル膜を形成し、これを触媒としてアモルファスシリコン膜の結晶化をおこない、結晶シリコン膜を得る方法について図 1 をもとに説明する。基板 11 上に、厚さ 2000 Å の下地酸化珪素膜 12 をプラズマ CVD 法によって形成した。次にプラズマ CVD 法によってアモルファスシリコン膜 13 を 500～3000 Å、例えば 1600 Å 堆積し、窒素雰囲気中 430℃、0.1～2 時間、例えば 0.5 時間水素出しをおこなった。引き続き、スパッタ法によってニッケル膜 14 を厚さ 100～1000 Å、例えば 500 Å 堆積した。ニッケルの成膜時には基板を 100～500℃、好ましくは 180～250℃に加熱しておくとき良好な結果が得られた。これは下地のシリコン膜とニッケル膜とも密着性が向上するためである。ニッケルの代わりに珪化ニッケルを用いてもよかった。（図 1（A））

【0014】その後、450～580℃で1～10分だけ加熱して、上記ニッケル膜14とアモルファスシリコン膜13とを反応させ、その界面に薄い結晶シリコン層15を形成した。この結晶シリコン層の厚さは反応温度、時間に依存するが、550℃、10分の条件では、約300Åであった。(図1(B))

【0015】次に、ニッケル膜および、ニッケル膜と反応して生じた珪化ニッケル膜を5〜30%の塩酸でエッチングした。このエッチングではアモルファスシリコンと（珪化）ニッケルとの反応によって生じた結晶シリコンには影響がなかった。（図1（C））

次に、これをアニール炉中450～580℃、例えば650℃で8時間空素雰囲気中でアニールした。この工程によってアモルファスシリコン膜を結晶化させ、結晶シリコン膜16を得ることができた。このとき得られた結晶シリコンのラマン散乱分光およびX線回折の結果を図3、図4に示す。図3において、C-S1は標準試料である単結晶シリコンのラマンスペクトルである。また、(a)は本実施例で得られたラマンスペクトル、(b)は触媒材料を有しない通常のアモルファスシリコンを上記の条件でアニールしたときのラマンスペクトルである。本発明によって良好な結晶シリコンが得られたことがわかる。

【００１６】〔実施例２〕 本実施例を図２に示す。コーニング７０５９ガラス基板２１上に厚さ２０００Åの下地酸化珪素膜２２をプラズマＣＶＤ法によって形成した。次にプラズマＣＶＤ法によってアモルファスシリコン膜２３を５００～３０００Å、例えば５００Åおよび１５００Å堆積し、窒素雰囲気中４３０℃、０．１～２時間、例えば０．５時間水素出しをおこなった。

【0017】その後、スパッタ法によってニッケル膜を

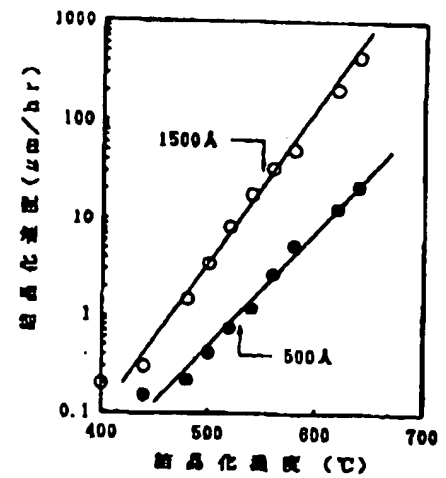
[0 0 2 0]

【图4】



- 1 1 . . . 基板
- 1 2 . . . 下地酸化珪素膜
- 1 3 . . . アモルファスシリコン膜
- 1 4 . . . ニッケル膜 (粒子、クラスター)
- 1 5 . . . 結晶シリコン領域
- 1 6 . . . 結晶シリコン領域

【例 5】



結晶化速度(度田/度下)



(72)発明者 竹村 保彦

()